

**SEMICONDUCTOR DEVICE AND MANUFACTURING THEREOF AND
APPLIED SYSTEM USING THE SEMICONDUCTOR DEVICE**

Patent Number: JP7014992
Publication date: 1995-01-17
Inventor(s): ABE YOSHIO; others: 01
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP7014992
Application Number: JP19930143269 19930615
Priority Number(s):
IPC Classification: H01L27/108; H01L21/822; H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent an interfacial layer with low permittivity at an interface between an insulating film and an electrode, by using a capacitive-element electrode made of metal, of which an oxide film is made of an insulating substance with permittivity larger than a given value.

CONSTITUTION: In a capacitive element, a lower electrode 2 made of 100nm tantalum (Ta), a first insulating layer 3 made of 5nm tantalum pentoxide (Ta₂O₅) with permittivity of 25, a second insulating layer 4 made of 25nm tantalum dioxide (TiO₂) with permittivity of 100, and an upper electrode 5 made of 100nm titanium nitride (TiN) are formed on a silicon substrate 1. In this TiO₂/Ta₂O₅/Ta laminate structure, an insulating-film layer with low permittivity is not produced at an interface between an electrode and a dielectric substance, and a capacitive element with large capacity can be realized. The electrode in the capacitive element is preferably made of metal with a smaller absolute value of oxide generative free energy than that of the metal that constitutes the oxide insulating substance.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-14992

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/822				
27/04				
		8832-4M	H 0 1 L 27/ 04	C
審査請求 未請求 請求項の数11 O L (全 8 頁)				

(21) 出願番号 特願平5-143269

(22) 出願日 平成5年(1993)6月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 阿部 良夫

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 福田 琢也

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体装置及びその製造方法並びにそれを用いた応用システム

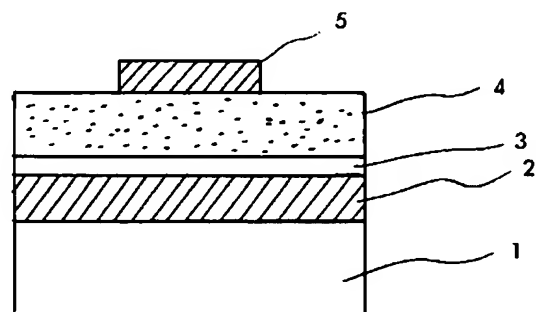
(57) 【要約】

【目的】 電極と誘電体層の界面における低誘電率層の生成を防止することで、容量が大きくリーク電流の小さな容量素子を実現し、大容量ダイナミックランダムアクセスメモリ (DRAM) を提供することである。

【構成】 容量素子の電極として、酸化物が誘電率20以上の絶縁膜となる金属を用い、容量素子の絶縁層として、少なくとも2層の酸化物絶縁膜を用いる。酸化物絶縁膜のうち少なくとも1層の絶縁層は電極金属の酸化物であり、少なくとも他の1層はこれよりも誘電率の大きな絶縁膜を用い容量素子を構成する。

【効果】 電極と誘電体層との界面での低誘電率層の生成を防止し、大容量の容量素子を構成できる。この結果、半導体装置特に高集積度のダイナミックランダムアクセスメモリを提供することができる。

図 1



1

【特許請求の範囲】

【請求項1】容量素子が、酸化物絶縁体と該絶縁体の両面に接する電極とから構成される半導体素子において、少なくとも1方の電極として、酸化物が誘電率20以上の絶縁体となる金属を用い、絶縁膜は少なくとも2層の酸化物絶縁膜から構成され、このうち少なくとも1層の絶縁層が電極金属の酸化物であり、少なくとも他の1層はこれよりも誘電率の大きい酸化物絶縁体層であることを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、容量素子の、電極はTa、酸化物絶縁膜は TiO_2 と少なくとも1層の Ta_2O_5 の積層膜であることを特徴とする半導体装置。

【請求項3】容量素子の絶縁体を金属Aの酸化物、電極を金属Bとするとき、金属Aの酸化物の標準生成自由エネルギーの絶対値は、金属Bの酸化物の標準生成自由エネルギーの絶対値よりも大きいことを特徴とする半導体装置。

【請求項4】請求項2記載の半導体装置において、容量素子の、電極はPt、酸化物絶縁膜は TiO_2 であることを特徴とする半導体装置。

【請求項5】請求項1から4のいずれか1項に記載の半導体装置において、容量素子を構成する該酸化物絶縁体は、該絶縁体を構成する金属を酸化することにより形成することを特徴とする半導体装置の製造方法。

【請求項6】請求項1から4のいずれか1項に記載の半導体装置において、容量素子を構成する該酸化物絶縁体を形成後、該絶縁体を励起状態の酸素を含むプラズマにさらす処理をすることを特徴とする半導体装置の製造方法。

【請求項7】請求項1から4のいずれか1項に記載の半導体装置、または請求項5または6記載の製造方法で作製された半導体装置を用いたことを特徴とするダイナミックランダムアクセスメモリ装置。

【請求項8】請求項7記載のランダムアクセスメモリを用いたことを特徴とする半導体メモリカード。

【請求項9】請求項7記載のランダムアクセスメモリを用いたことを特徴とする半導体ディスク装置。

【請求項10】請求項7記載のランダムアクセスメモリを用いたことを特徴とするマイクロプロセッサ。

【請求項11】請求項7記載のランダムアクセスメモリ、請求項8記載の半導体メモリカード、請求項9記載の半導体ディスク装置、請求項10記載のマイクロプロセッサのいずれかを用いたことを特徴とするコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高誘電率絶縁体を容量素子に用いた半導体装置の品質の向上及び微細化、さらに

2

高集積度のダイナミックランダムアクセスメモリなどの半導体記憶装置、及びそれを用いた応用システムに関する。

【0002】

【従来の技術】ダイナミックランダムアクセスメモリ(DRAM)はコンピュータの記憶素子として大容量、高集積化が進んできた。現在用いられているDRAMメモリセル部の基本的な回路は、1組のMOSトランジスタとコンデンサから構成され、コンデンサに蓄積された電荷の量によって1ビットのデータを記憶する。このコンデンサの容量は α 線によって作り出される電荷によるエラー(ソフトエラー)に対する耐性を備えるためには100fC以上の電荷が蓄積されていなければならない。仮に $\pm 1.5V$ の電圧で動作させるとすると、コンデンサの容量は60fF以上必要となる。

【0003】コンデンサの容量Cは、真空の誘電率を ϵ_0 、絶縁膜の比誘電率を ϵ_r 、絶縁膜の膜厚をd、コンデンサの電極面積をSとすると、 $C = \epsilon_0 \cdot \epsilon_r \cdot S / d$

である。従って、コンデンサの容量を大きくするためには電極の面積を大きくし、絶縁膜の膜厚を薄くすれば良い。最近のDRAMの高集積化により、メモリセル1個当りの占める面積が縮小するため、例えばIEEE Transactions on Electron Devices, vol. 38, No. 2, pp. 255-261(1991)に記載してあるように、複雑なプロセスを経て電極面積の増大が図られている。

【0004】一方、例えば特願平4-56270号公報、あるいは第8回強誘電体応用会議予稿集pp. 3-29に記載してあるように、絶縁膜に比誘電率の大きな物質を用いようとする研究が進められている。比誘電率の大きな物質としては、 Ta_2O_5 、 TiO_2 、 $SrTiO_3$ 、 $PbZr_{1-x}Ti_xO_3$ などがある。

【0005】

【発明が解決しようとする課題】コンピュータの小型化、高速化のためにはコンピュータ内部の記憶装置の大容量化が必要である。代表的な内部記憶装置であるDRAMでも、セルサイズの縮小による高集積化が図られてきたが、コンデンサの容量不足が問題になってきた。すなわち、実効的な電極面積を大きくし容量を増やすため種々のセル構造が検討されているが構造が非常に複雑になり、1ビット当りのコストの上昇や製造時に不良が発生する割合が大きくなるなどの問題が生じる。一方、絶縁膜の実効的な膜厚を減少させて容量を増やすため高誘電率の誘電体材料の適用も検討されているが、上記従来技術においては、誘電率が20以上の酸化物絶縁体を成膜し良好な結晶性を得るためには酸素雰囲気下で基板温度を500℃以上の高温とする必要がある。下地電極が高温の状態で酸素雰囲気中に置かれるために、アルミニウム等の貴金属以外の金属や、ポリシリコン等の半導体

を下地電極として用いた場合にはこれら金属や半導体の表面が酸化され絶縁体が形成される。このような金属や半導体が酸化されて形成された物質の比誘電率は例えば SiO_2 で約4、 Al_2O_3 で約9程度であり比誘電率が20未満である。また、このような表面が酸化されて形成される酸化物の膜厚は5nm~20nm程度である。

【0006】この結果、絶縁膜は堆積された高誘電率膜と表面が酸化されて形成された低誘電率膜との直列接合となり、高誘電率膜の膜厚を薄くしても、容量の大きなコンデンサを得ることはできない。

【0007】このような低誘電率の酸化物を形成しない物質として、これまで白金やパラジウムのような貴金属が用いられてきた。これら貴金属を電極に用いた場合、電極の酸化は生じないが、電極との界面付近での絶縁膜の組成ずれによる低誘電率層の生成の問題がある。例えば、スパッタリング法あるいはCVD（化学的気相成長）法により $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 膜を作製した場合、絶縁膜中のPbはPt電極内に拡散しやすいため絶縁膜中でPbが欠乏し、 TiO_2 や ZrO_2 が析出しやす。特に、 ZrO_2 は誘電率が10以下と小さいためコンデンサの容量が低下する。

【0008】

【課題を解決するための手段】次世代のメモリである64MビットDRAMに用いるキャパシタ絶縁膜は、単位面積当りの静電容量が $11\text{fF}/\mu\text{m}^2$ 以上、 SiO_2 膜に換算すると膜厚3nm以下の薄膜化が必要とされている。しかし、従来用いられている $\text{SiO}_2/\text{Si}_3\text{N}_4$ 複合膜では高電界によるトンネル電流による絶縁性の低下により薄膜化は SiO_2 膜換算で4nm程度が限界である。また、誘電率25と比較的高誘電率の Ta_2O_5 でも SiO_2 膜換算で3nm程度である。トンネル電流を減少させるためには、膜厚を厚くしても十分大きな容量が得られるように、さらに高誘電率薄膜を用いる必要がある。

【0009】しかし、誘電率の大きな絶縁膜を用いても電極の酸化による中間絶縁層が生成すると、容量素子全体の容量は低下してしまう。図12は、高誘電率膜として誘電率 $\epsilon_1=110$ で膜厚 $d_1=50\text{nm}$ の TiO_2 を絶縁膜として用い、電極との間に厚さ $d_2=5\text{nm}$ の中間絶縁層が生成したときの、中間絶縁層の誘電率 ϵ_2 と容量素子の容量の関係を示したものである。この図から明らかなように、誘電率 ϵ_2 の低下とともに容量は急激に低下する。従って、単位面積当りの静電容量が $11\text{fF}/\mu\text{m}^2$ 以上を確保するには、中間絶縁層の誘電率 ϵ_2 は20程度であることが必要である。高誘電率膜の誘電率が小さい場合、中間層はさらに誘電率が大きいことが要求される。

【0010】本発明においては、容量素子を構成する電極として、酸化物が誘電率20以上の比較的誘電率の大きな絶縁体となる金属を用い、絶縁膜と電極との界面で

の低誘電率層の生成を防止する。また、容量素子を構成する絶縁体には酸化物の標準生成エネルギーが大きな材料、電極金属には酸化物の標準生成エネルギーが小さな材料を用い、熱力学的に安定な組合せとすることで、電極金属の酸化が進行することを防止する。さらに、マイクロ波での励起を利用する電子サイクロトロン共鳴(ETCR)で生成した酸素を用いて酸化処理することで、酸素欠損のない酸化物絶縁膜を形成する。

【0011】また、上記容量素子を用いてダイナミックランダムアクセスメモリを構成する。さらに、このランダムアクセスメモリを用いて、半導体メモリカード、半導体ディスク基板、マイクロプロセッサ、コンピュータを構成する。

【0012】

【作用】上記手段は以下の作用がある。

【0013】誘電率が100以上の酸化物絶縁体と該絶縁体の両面に接する電極より構成される容量素子において、絶縁体形成時に電極の酸化が生じても、電極の酸化物は誘電率が20以上と大きいので、 SiO_2 や Al_2O_3 など低誘電率膜の生成による極端な容量の低下を防止できる。

【0014】容量素子を構成する絶縁体には酸化物の標準生成エネルギーが大きな材料、電極金属には酸化物の標準生成エネルギーが小さな材料を用いることで、電極金属の酸化による、絶縁膜厚の増加を防ぐことができ、大容量の容量素子を提供できる。さらに、活性な酸素を供給できるETCR酸素プラズマによる酸化処理を行い絶縁膜中の酸素欠損をなくし、リーク電流を低減できる。

【0015】このような容量値の大きな容量素子の形成技術は、必要な容量を小さい面積で構成できるといった作用がある。従って、この容量素子をダイナミックランダムアクセスメモリのキャパシタとして用いると、メモリセルの面積が縮小し、記憶容量を増大できるといった効果がある。さらに、このダイナミックランダムアクセスメモリにより安価で大容量の記憶装置を構成でき、メモリカード、マイクロプロセッサ、コンピュータなどの電子装置の小型化が可能となる。

【0016】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0017】実施例1

図1に、本発明の一つの実施例である容量素子の断面図を示す。基板1、例えばシリコン基板の上に、下部電極2としてタンタル(Ta)薄膜が厚さ100nm、容量素子の第1の絶縁体層3として五酸化タンタル Ta_2O_5 が5nm、第2の絶縁体層4として二酸化チタン TiO_2 が25nm、さらに上部電極5として窒化チタン TiN が100nm形成され、容量素子を構成している。

【0018】本実施例の容量素子の作製方法を図2を用

5

いて説明する。まず、下部電極として、図2(a)に示すように、シリコン基板1の上にスパッタリング法によりTa下部電極2及びTi薄膜6を形成する。スパッタリングの際は、Ta及びTiをターゲットとして用い、アルゴンをスパッタガスとし、スパッタ圧力1Pa、基板温度300℃とした。

【0019】次に、絶縁体層形成のため、図3に示すECRプラズマ処理装置を用いて、Ti薄膜表面を酸化した。Ti薄膜は完全に酸化されTiO₂絶縁体層4となり、さらにTa表面も薄く酸化され、Ta₂O₅絶縁体層3となる。

【0020】上部電極5としては、TiO₂絶縁体層4に、窒化チタン膜を形成した後、通常のホテルジスト加工及び、CCl₄、CF₄などのエッチングガスを用いたリアクティブイオンエッチング法を用い、図2(c)に示すように、所望の形状に加工する。

【0021】プラズマ酸化に用いたECRプラズマ処理装置は図3に示すように、基板の設置される基板ホルダ402を備えた真空容器401とこの真空容器に石英製のマイクロ波導入窓412を介してマイクロ波導波管404が接続され、さらにマイクロ波発生装置403となるマグネトロンが連結されている。マグネトロンからは2.45GHzのマイクロ波電界が発生しマイクロ波導波管を伝搬し石英窓を透過し真空容器内に導入される。マイクロ波導波管にはマイクロ波チューナ407が備えられ、基板上でマイクロ波の電界方向が基板に対し平行となるように予めチューニングされている。また真空容器とゲートバルブ410を介して基板搬入口ポット室406を備え、基板搬入口ポットにより基板が真空容器内に搬入される。また、ポット室は他の成膜装置等とやはりゲートバルブを介して接続され基板を他の処理を含め連続的に処理することができる。また、真空容器の周囲には磁界コイル405が設置され基板上で磁力線の方向が基板と垂直向きになるように制御する。磁束密度875ガウスの位置で電子サイクロトロン共鳴が生じ、高密度の励起酸素が生成する。この電子サイクロトロン共鳴領域が広がり、励起酸素密度が低下するのを防ぐマイクロ波発散防止筒411がマイクロ波導入窓412と基板ホルダ402の間に設置されている。この他、プラズマ処理のための反応ガス導入口409、基板に高周波を印加するための高周波電源408が設置されている。

【0022】本ECRプラズマ処理装置を用いて、Ti薄膜を酸化する際は、真空容器を 1×10^{-6} Torrまで排気した後、100ml/minの流量の酸素ガスを真空容器内に導入し圧力を0.1Paとした。ここでμ波を真空容器内に導入すると、真空容器内の酸素ガスはマイクロ波の電界と磁界とにより電子サイクロトロン共鳴をおこしプラズマ状態となる。励起状態の酸素及び酸素イオンによりTi薄膜を酸化する。

【0023】μ波のパワーを600Wとした時の、Ti

6

とTaの酸化膜厚と酸化時間の関係を図4に示す。酸化膜厚は、酸化時間の平方根に比例して増加すること、また酸化温度が高いほど酸化速度が早くなることがわかる。酸化温度が高いほど形成されるTiO₂の結晶性が良くなり誘電率も大きくなるが、酸化速度が速くなり膜厚の制御が難しい。一方、Taの酸化速度はTiに比べ非常に小さいため、Ta₂O₅の膜厚の制御は容易である。

【0024】図5はμ波のパワーを600Wとして、10分間のプラズマ酸化処理により形成した容量素子の、単位面積当りの容量と酸化時間との関係を示す。Ti単層膜を酸化した場合、図4に示したように時間の平方根に比例して酸化膜厚が増加するため、容量は急激に低下してしまう。これに対し、Ti/Ta積層膜を酸化した場合は、TiO₂の膜厚はTi膜の膜厚で決まり、Taの酸化速度は非常に遅いため、容量の低下はほとんどない。TiO₂は誘電率が約100と大きく、電極との界面に形成されるTa₂O₅も誘電率が25とSiO₂大きい絶縁膜であるので、大容量の容量素子の絶縁膜として好適である。

【0025】次に、リーク電流と電圧との関係を図6に示す。Tiを熱酸化してTiO₂を形成した場合は酸素欠損が生じ、これがドナーとなるため、リーク電流が大きい。これに対し、プラズマ酸化でTiO₂を形成した場合は酸素欠損が生じないため、リーク電流を低減することができる。さらに、Ti/Ta積層膜をプラズマ酸化して、TiO₂/Ta₂O₅積層絶縁膜構造とした場合、Ta₂O₅の優れた絶縁特性のため、リーク電流は減少する。

【0026】本実施例の容量素子では、TiN/TiO₂/Ta₂O₅/Taの積層構造となるため、電極/誘電体界面に低誘電率の絶縁膜層が生じない。このため、大容量の容量素子が実現できる。

【0027】容量素子の電極としては、酸化物絶縁体を構成する金属の生成自由エネルギーに比べ、酸化物の生成自由エネルギーの絶対値が小さい金属とすれば良い。酸素1mol当りの生成自由エネルギーはTiO₂が-445kJ、Ta₂O₅が-383kJでありTiO₂の方が生成自由エネルギーの絶対値が大きく熱力学的に安定なため、TiO₂の還元、Taの酸化は最小限におさえられる。酸化物の生成自由エネルギーの絶対値が小さく、かつ酸化物が20以上の比較的誘電率の大きい絶縁体となる金属としてはTaの他、Nb、Pbなどがある。電極としては、これらの金属を単体として用いても、これらを組み合わせた合金として用いても同様の効果を得ることができる。さらに、Au、Ag、Pt、Pdなどの貴金属を電極に用いれば、電極の酸化をほとんど生じない。

【0028】なお、絶縁膜の形成方法は、本実施例のプラズマ酸化のほか、蒸着法、スパッタ法、CVD(化学

的気相成長)法などを用いても良い。この場合、絶縁膜形成後、表面をECR酸素プラズマ処理することにより、膜中の酸素欠損を補償し、欠陥密度を低減できる。

【0029】実施例2

ダイナミックランダムアクセスメモリのキャパシタ部に適用した、本発明の実施例の断面図を図7に示す。この図において1はp型Si基板、7と8はMOSトランジスタのソース電極及びドレイン電極を構成するn型ドーブ層、9はゲート電極、11は蓄積ノード電極、12は誘電体層、13はプレート電極、14は酸化膜、15はゲート絶縁膜である。キャパシタの形成方法は、まず基板上にMOSトランジスタ7、8、15、9、及びビット線10、酸化膜14を形成したあと酸化膜14にスルーホールを形成する。次にスルーホール内面及び酸化膜14の上面にTa/Ti積層膜をスパッタ法または、CVD法により形成し、パターニングする。このあと、プラズマ酸化によりTiO₂/Ta₂O₅誘電体層12を形成する。さらに、プレート電極として、窒化チタンをCVD法により形成しパターニングすると、DRAMセルが完成する。

【0030】従来のDRAMセルでは、コンデンサ部の誘電体層にSiO₂、電極にポリSiを用いている。しかし、SiO₂は誘電率が4と小さいため、高集積化のためセル面積を縮小すると十分な容量を確保することが困難になっている。これに対し、本発明のDRAMセルでは、高誘電率のTiO₂を絶縁膜に用いること、及び電極にTaを用いることで、電極の酸化による低誘電率層の生成を防止しているので十分な容量を得ることができる。従って、集積度の高い大容量のDRAMを構成できる。

【0031】MOSトランジスタのソース電極とキャパシタの蓄積ノード電極との間のコンタクト抵抗を低減するために、ソース電極界面にはTiSi₂、TaSi₂などシリサイド化合物を形成する。また、基板のSiからキャパシタ絶縁膜にSiが拡散し、低誘電率のSiO₂が形成されるのを防ぐため、基板のSiとキャパシタ絶縁膜の間にバリアメタルとしてTiNを形成することが望ましい。

【0032】本発明のDRAMセルは、従来のDRAMセルと同様に、半導体メモ리카ード、半導体ディスク装置、マイクロプロセッサ、コンピュータなどの電子装置に適用することができる。とくに、本発明のDRAMセルは、小型大容量であるため、システム全体が小型化すると同時に、処理能力も向上する。

【0033】実施例3

図8は上記実施例で述べた本発明のDRAMを半導体ディスク基板に用いたものである。安価で大容量の記憶媒体であり、従来のフロッピーディスクやハードディスクのように機械的な駆動機構が不要であるため、小型及び可搬用コンピュータシステムの外部記憶として好適であ

る。

【0034】実施例4

図9は本発明のDRAMをメモリアレイとしてオンチップ化したシステムLSIの構成を示す。本発明は、通信方式がアナログネットワーク、デジタルネットワーク、ナロウバンドインテリジェントサービスデジタルネットワーク(N-ISDN)、さらにブロードバンド(B)-ISDNに対応可能な高集積、高速メモリと通信回路から直接信号を取り入れるためにドライバ、レシーバ回路をオンチップ化したものである。

【0035】図10は本発明のDRAMをキャッシュメモリとして内蔵した論理LSI(マイクロプロセッサ)を示す。本発明のメモリ素子を内蔵メモリとして用いれば、大容量で高度な機能を持つマイクロプロセッサが実現できる。

【0036】実施例5

上記実施例で述べた論理素子(マイクロプロセッサ)、メモリ素子(DRAM)、半導体ディスク基板を用いたコンピュータシステムの構成図を図11に示す。本発明によれば、システム全体が小型化できると同時に、大容量の情報を高速に読み書きできるのでシステム全体としての処理能力が向上する。

【0037】

【発明の効果】本発明によれば、電極と誘電体層の界面における低誘電率の生成を防止でき、容量が大きな容量素子を構成できる。本発明の容量素子をメモリアルセルのコンデンサに適用すると高集積大容量のDRAMを実現できる。

【図面の簡単な説明】

- 【図1】本発明の実施例1の容量素子の断面図である。
 - 【図2】本発明の実施例1の容量素子の作製方法を示す図である。
 - 【図3】ECRプラズマ処理装置を示す図である。
 - 【図4】チタン及びタンタル薄膜のプラズマ酸化時間と酸化膜厚の関係図である。
 - 【図5】チタン及びチタン/タンタル積層薄膜のプラズマ酸化時間と容量の関係図である。
 - 【図6】容量素子のリーク電流と電圧の関係図である。
 - 【図7】本発明の実施例2のダイナミックランダムアクセスメモリの断面図である。
 - 【図8】本発明の半導体ディスク基板の構成図である。
 - 【図9】本発明のシステムLSIの構成図である。
 - 【図10】本発明のマイクロプロセッサの構成図である。
 - 【図11】本発明のコンピュータシステムの構成図である。
 - 【図12】高誘電率絶縁層と電極との間にできる中間絶縁層の誘電率と容量の関係図である。
- 【符号の説明】
- 1…基板、2…下部電極、3…第1の絶縁体層、4…第

9

2の絶縁体層、5…上部電極、6…Ti薄膜、7…ソース電極、8…ドレイン電極、9…ゲート電極、10…ビット線、11…蓄積ノード電極、12…誘電体層、13…プレート電極、14…酸化膜、401…真空容器、402…基板ホルダ、403…マイクロ波発生装置、40

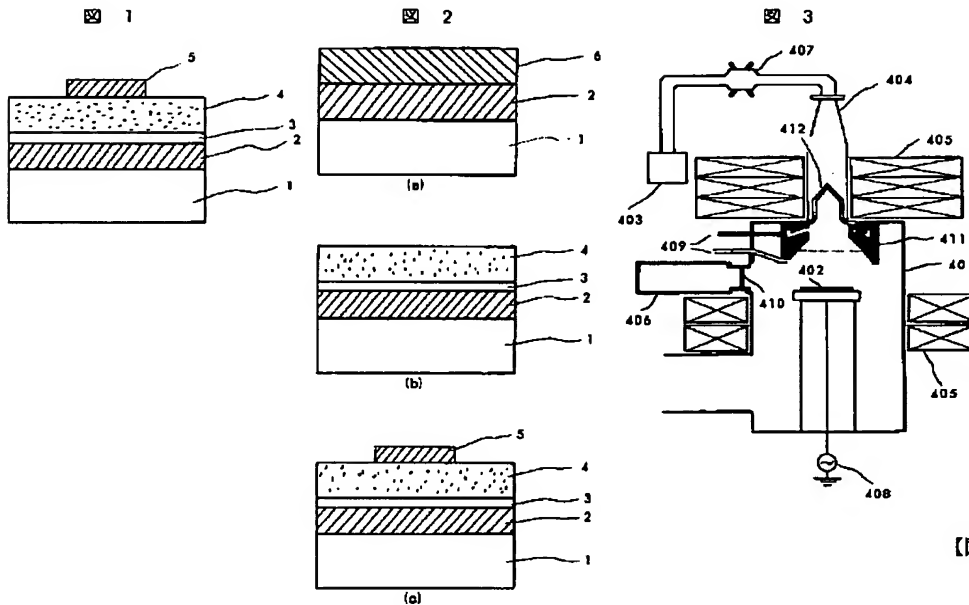
10

4…マイクロ波導波管、405…磁界コイル、406…基板搬入ロボット室、407…マイクロ波チューナ、408…高周波電源、409…反応ガス導入口、410…ゲートバルブ、411…マイクロ波発散防止筒、412…マイクロ波導入窓。

【図1】

【図2】

【図3】

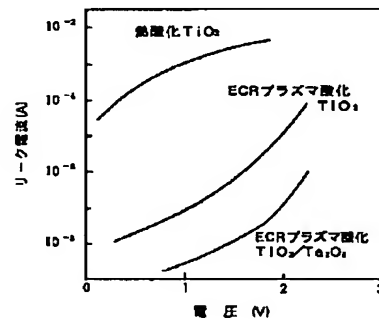
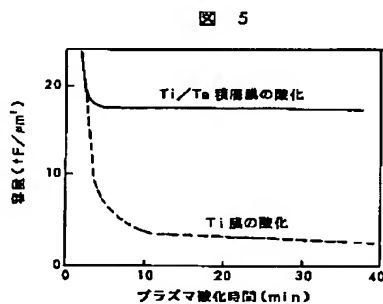
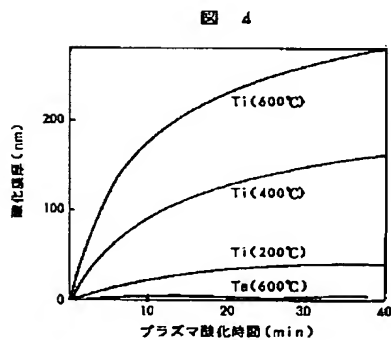


【図6】

図 6

【図4】

【図5】

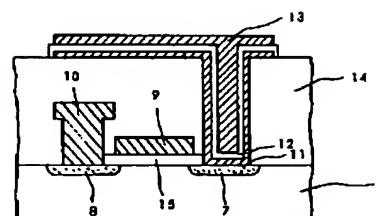
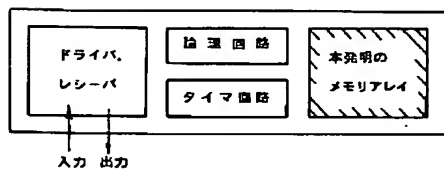


【図7】

図 7

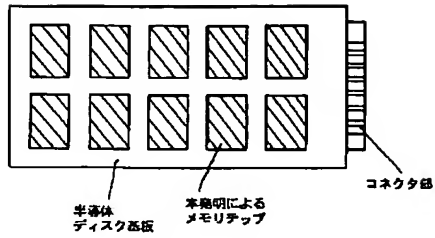
【図9】

図 9



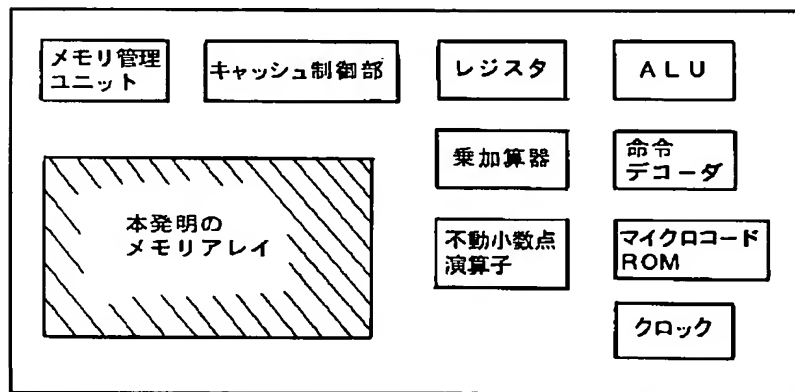
【図8】

図 8



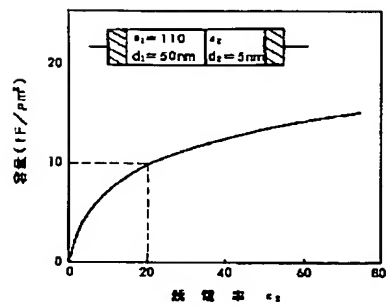
【図10】

図 10



【図12】

図 12



【図 11】

図 11

